

存储单元抗 TID/SEL 电路加固技术面积代价研究

王 文, 桑红石, 沈绪榜

(华中科技大学 多谱信息处理技术国家级重点实验室, 湖北 武汉 430074)

摘 要: 在太空辐射环境中, 总剂量辐射 (Total Ionizing Dose, TID) 效应和单粒子门锁 (Single Event Latch, SEL) 效应严重影响存储器的可靠性. 由此讨论了存储单元 TID 效应和 SEL 效应的原理, 探讨了基于电路的加固技术 (RHBD), 设计了 4 种新的抗 TID/SEL 存储单元加固方案, 并和现有几种方案进行对比, 研究了这些加固方案的面积代价. 研究结果表明, 抗 TID/SEL RHBD 方案普遍会使存储单元的版图面积增加 87.5% 以上. 提出了一种加固方案, 可以在加固性能和面积代价上得到较好的折衷.

关键词: 总剂量效应 (TID); 单粒子门锁 (SEL); 辐射加固设计; 面积代价

中图分类号: TN386; TN4

文献标识码: A

文章编号: 1000-7180(2014)06-0025-05

Study on the Memory Cell TID/SEL Hardening by Design Technology Area Cost

WANG Wen, SANG Hong-shi, SHEN Xu-bang

(National Key Laboratory of Science and Technology on Multi-spectral Information Processing,
Huazhong University of Science and Technology, Wuhan 430074, China)

Abstract: In space radiation environment, total ionizing dose (TID) effect and single event latch (SEL) have serious impact on the reliability of memory devices. Total Ionizing Dose effect and Single Event Latch and radiation hardening technologies were discussed, especially the Radiation Harden by Design hardening technologies. Four types of new TID/SEL tolerable memory cells are designed to compare the area cost with the available designs. The results show TID/SEL tolerable memory cell design generally increases the cell area by 87.5% at least. One of the proposed programs could make a good trade-off between the hardening performance and the area cost.

Key words: Total Ionizing Dose effect (TID); Single Event Latch (SEL); Radiation Hardened by Design (RHBD); Area Cost

1 引言

在航空航天电子系统中, 存储器占据了大部分的芯片面积, 是一个极为重要的部件. 然而在空间环境中, 电子系统会遭受到银河射线、太阳射线和地球辐射等辐射环境的影响, 容易发生故障. 存储器由于其高密度成为航空航天电子系统中最脆弱的部件之一. 对存储器进行抗辐射加固成为一个重要的研究工作.

对存储器进行抗辐射加固主要有二种方式, 第一种是采用专用的抗辐射制造工艺来实现抗辐射加

固, 称为基于工艺的抗辐射加固 (Radiation Hardening by Process, RHBP). 但是抗辐射加固工艺存在研发周期长, 复杂度高, 成本高, 稳定性差等缺点, 其发展严重落后于商用工艺, 当前只有很少的几个可用的抗辐射加固工艺^[1]. 另一种是采用标准的商用工艺, 采用特定的版图技术和电路设计技术来实现抗辐射加固, 称为基于电路设计的抗辐射加固 (Radiation Hardening by Design). RHBD 技术由于能够利用商用 CMOS 工艺的技术优势, 制造成本低, 便于实现, 逐步成为现代进行抗辐射加固的主要方式.

然而,采用电路设计的方式进行抗辐射加固都要用到冗余技术,即在存储单元中采用更多的晶体管,以及大幅增加晶体管的尺寸,这都将导致存储单元的面积大幅增加,从而使存储器的芯片面积大幅增加.在电子系统中,存储器的面积占整体芯片面积的主要部分,RHBD 技术导致芯片面积的大幅增加,这对航天电子系统的小型化、低成本化要求是一个严重的挑战.因此,研究 RHBD 加固技术所带来的面积代价有重要的研究意义.

在存储器遭受的辐射效应中,总剂量效应 TID 和单粒子闩锁 SEL 是二个主要效应.本文基于 Salicide SMIC 0.18 μm CMOS 工艺,研究 TID/SEL 效应的原理,讨论基于电路技术的加固技术,并设计几种抗 TID/SEL 加固方案的版图,对比分析这些电路加固方案所带来的面积代价.

2 存储单元的 TID/SEL 效应与 RHBD 加固技术

2.1 SEL 与 TID 效应原理

SEL 效应是由于 CMOS 工艺中存在寄生的 BJT 管,NMOS 管和 PMOS 管的寄生 BJT 管以及衬底和阱的寄生电阻会形成一个环路.当单粒子入射,产生一个瞬间大电流时,瞬间电流被寄生的 BJT 环路放大,从而使 MOS 管烧坏.对存储单元进行抗 SEL 加固的典型技术是在 NMOS 管和 PMOS 管的版图之间增加隔离环 (Guard ring),来降低寄生的衬底电阻和阱电阻,使寄生的 BJT 环路的环路增益远小于 1^[2],从而不会对辐射产生的瞬间电流形成放大作用.

TID 效应是在辐射过程中生产大量的电子-空穴对,部分正电荷被氧化层以及氧化层界面中的陷阱所俘获,而引起晶体管电性能发生变化.TID 效应对 MOS 管产生的影响主要有两个方面:第一,TID 在栅氧化层中的效应会导致 MOS 管的阈值向负向漂移;第二,TID 在场氧化层中的效应会使 NMOS 管的漏源泄漏电流增加.TID 效应导致的阈值漂移大小与栅氧化层厚度的平方成正比,当栅氧化层的厚度小于 5 nm 时,由于栅氧化层中的隧道效应越加明显,TID 效应在栅氧化层中俘获的电荷都被中和消失,TID 效应对栅氧化层的影响可以忽略^[3].在 0.18 μm 以及以下工艺,栅氧化层的厚度低于 3.8 nm,TID 导致的阈值漂移已经不用考虑,最主要的影响是 TID 导致漏源泄漏电流的增加.

辐射粒子入射到场氧化层 FOX 中,产生大量

的电子-空穴对,电子在电场作用下迅速被扫出,部分的空穴由于速度慢,被氧化层中的缺陷所俘获.这些被俘获的空穴通过极化跃迁在陷阱间跳跃直接被氧化层界面附近的深层陷阱所俘获.这些被深层陷阱所俘获的空穴在靠近氧化层界面的衬底或者阱中感生出镜像的负电荷.如图 1 所示,这些感生的负电荷在 NMOS 管的漏端和源端之间形成一个泄漏通道 Leakage Path.泄漏通道 Leakage Path 和漏端以及源端一起形成一个不受栅电压控制的寄生 MOS 管,Leakage Path 为寄生 MOS 管的沟道^[4].当漏和源之间存在电压差时,就会在泄漏通道中产生一个预期之外的泄漏电流.TID 导致的这种源和漏之间的泄漏电流会增加电路的功耗,尤其是当 NMOS 管本身处于截止状态时,泄漏通道形成的寄生沟道依然存在,在泄漏通道中形成的泄漏电流足够大时,则可能会导致该部分电路的功能失效.

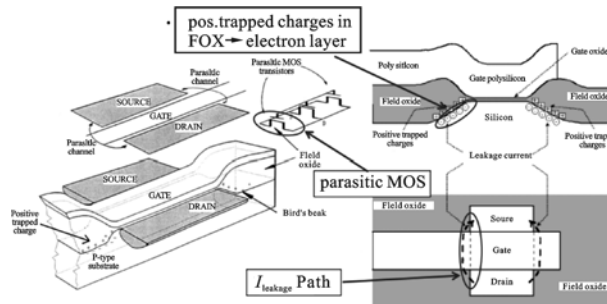


图 1 TID 导致 NMOS 管产生泄漏通道的原理图

2.2 NMOS 管抗 TID 效应 RHBD 加固技术

针对 TID 效应产生泄漏电流的原理,Marlon Barbero 在文献[4]中总结出对 NMOS 管进行抗 TID 的二种加固方案.(1)采用 Enclosed Layout Transistor (ELT) 环形栅版图技术来截断 NMOS 管漏源之间的泄漏通道,消除 TID 导致的漏源间的泄漏电流.主要环形栅版图技术结构包括:Annular Transistor, Butterfly Layout, single-sided ring 和 two-sided ring 等^[5].(2)采用非闭合的异形栅版图技术来延长泄漏通道,从而降低 TID 导致的泄漏电流.同等条件下,泄漏电流大小与泄漏通道的长度成反比.主要的非闭合异形栅版图技术主要有 Horseshoe FET 和 Dog Bone FET^[6].

图 2 所示为几种典型 NMOS 管抗 TID 加固版图技术.其中图 2(a)、图 2(b)、图 2(c)和图 2(d)属于 Enclosed Layout Transistor (ELT)版图加固技术.图(e)和图(f)为非闭合的异形栅版图加固技术.如图 2 所示,(a)、(b)、(c)和(d)四种 Enclosed Layout Transistor 版图技术,利用栅氧化层将源漏中之

一或者二者进行全包围,从而将原先的漏源之间的泄漏通道用栅氧化层断开,使得漏源之间没有连通的泄漏通道,从而将漏源之间 TID 导致的泄漏电流消除.文献[7]中的实验数据表明,在 TID 达到 300 krad(Si)的情况下,环形栅版图技术加固的 NMOS 管中 TID 导致的泄漏电流依然难以检测出来,接近于 0.采用环栅版图技术加固器件的抗 TID 能力能达到 30 Mrad(Si)以上^[8].

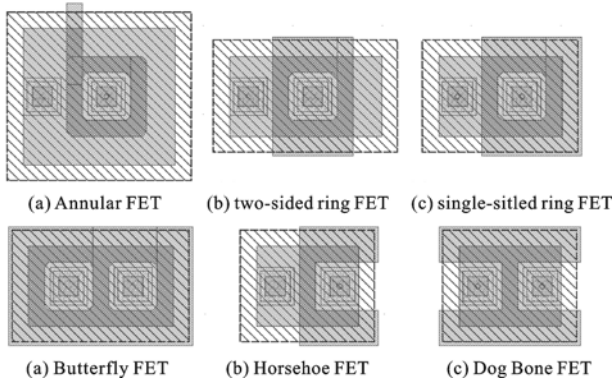


图2 几种典型 NMOS 管抗 TID 加固版图技术

图2中的(e)和(f)二种版图技术为非闭合的异形栅版图加固技术.这二种版图技术通过延长 NMOS 管中 TID 导致的泄漏电流通道的长度来降低 TID 导致的泄漏电流.图3所示为(a) Horseshoe FET, (b) two-edge FET 和(c) Dog Bone FET 三种版图结构下泄漏通道对比图.如图3所示,在 0.18 μm 工艺下, Horseshoe FET 版图技术能够将漏源间的泄漏电流通道延长为 two-edge FET 的泄漏电流通道的 4.67 倍以上,从而将 TID 导致的泄漏电流降低到 two-edge FET 管的 1/4.67 以下.而 Dog Bone FET 能够将漏源间的泄漏电流通道延长为 two-edge FET 的泄漏电流通道的 8.33 倍以上,从而将 TID 导致的泄漏电流降低到 two-edge FET 管的 1/8.33 以下^[4,6].

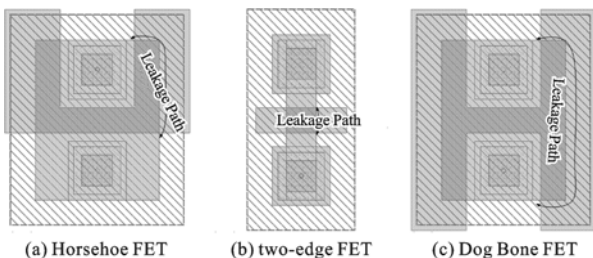


图3 三种版图结构下泄漏通道长度对比

2.3 当前典型的 SRAM 单元抗 TID 效应 RHBD 加固方案

传统的 SRAM 单元结构为如图4所示的 6T SRAM 单元.在图4所示的 6T SRAM 单元中,受

到 TID 效应影响时,会在 M3-M4 二个下拉 NMOS 管和 M5-M6 二个访问 NMOS 管中产生泄漏电流.对 SRAM 单元进行抗 TID 效应加固需要降低在下拉 NMOS 管和访问 NMOS 管中 TID 导致的泄漏电流的大小,以减小 TID 效应对存储单元的影响.

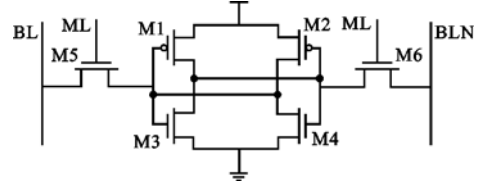


图4 6T SRAM 单元结构图

Lawrence T. Clark 在文献[9]和文献[10]中对 6T SRAM 单元和抗辐射技术进行了研究并总结出四种典型的抗 TID 加固方案,其中有三种方案适合于在体硅商用 CMOS 工艺中采用:

(1) 6T SRAM 单元都采用 two-edge 管,在 2 个下拉 NMOS 管和 2 个访问 NMOS 管中利用 RBB (Reverse body bias) + SC (supply collapse) 技术实现对存储单元的抗 TID 加固. RBB + SC 技术通过增强 NMOS 管的体效应来降低 NMOS 管 TID 导致的泄漏电流.实验数据表明这种技术可以使 TID 导致的泄漏电流减小到原先的 1/2~1/50^[10].

(2) 6T SRAM 单元中的下拉 NMOS 管和访问 NMOS 管都采用 Annular 管来实现抗 TID 加固,基本不会有 TID 导致的泄漏电流.但是采用 Annular 管会导致 NMOS 管的宽长比大幅增加,导致单元版图面积大幅增加^[9].

(3) 下拉 NMOS 管采用 Annular 管,访问 NMOS 管采用 two-edge 管.在整个存储器工作过程中,访问 NMOS 管处于最坏情况下的时间远低于 1%,其受到的 TID 效应远小于下拉 NMOS 管的 1%.该加固方案下,存储单元 TID 导致的泄漏电流可以降低到不加固时的 1% 以下^[9].

3 存储单元抗 TID/SEL 加固面积代价研究

3.1 存储单元抗 TID/SEL 加固方案

基于 Marlon Barbero 等人的研究结果,针对 TID 和 SEL 进行 RHBD 加固,在 Lawrence T. Clark 的 3 种加固方案之外,设计了 4 种新的加固方案.基于 Salicide SMIC 0.18 μm CMOS LG 工艺设计这 7 种方案,以及不加固的 6T SRAM 的单元版图,对比分析各加固方案所需的面积代价.各加固方案中,在 NMOS 管和 PMOS 管版图之间增加 Guardring 隔离环实现对 SEL 很好的加固性能.7

种加固方案如下:

(1) Lawrence T. Clark 加固方案一:利用 RBB+SC 技术对下拉 NMOS 管和访问 NMOS 管进行抗 TID 加固.

(2) Lawrence T. Clark 加固方案二:对访问 NMOS 管和下拉 NMOS 管采用 Annular 管对 TID 加固.通过对仿真结果分析,确定上拉 PMOS 管的宽采用 3 倍最小尺寸,以确保存储单元中反相器的延时不至于过大.

(3) Lawrence T. Clark 加固方案三:访问 NMOS 管采用 two-edge 管,下拉 NMOS 管采用 Annular 管对 TID 加固.

(4) 新设计加固方案一:访问 NMOS 管采用 single-sided ring 结构,下拉 NMOS 管采用 two-sided ring 结构对 TID 加固.

(5) 新设计加固方案二:访问 NMOS 管采用 two-edge 管,下拉 NMOS 管采用 two-sided ring 结构对 TID 加固.访问 NMOS 管的宽采用 3 倍最小尺寸.

(6) 新设计加固方案三:访问 NMOS 管采用 two-edge 管,下拉 NMOS 管采用 Horseshoe FET 管对 TID 加固.

(7) 新设计加固方案四:访问 NMOS 管采用 two-edge 管,下拉 NMOS 管采用 Dog Bone FET 管对 TID 加固.

基于 Salicide SMIC 0.18 μm CMOS LG 工艺对这 7 种加固方案和不加固的 6T 单元进行版图设计和优化,其中 MOS 管的衬底采用共用衬底,存储单元不单独设计衬底.

3.2 存储单元抗 TID/SEL 加固方案性能与面积代价分析

上面的 7 种加固方案中,前三种为 Lawrence T. Clark 研究和总结的经典加固方案,后面四种为基于其他 NMOS 管 TID 加固技术新设计的加固方案,在加固性能和面积代价上面寻求折衷.以没有进行加固的 6T SRAM 单元为对比,设定在特定的总剂量辐射和偏置条件下,6T SRAM 单元 TID 导致的泄漏电流为 $I_{\text{Leak-TID0}}$.

L. Clark 加固方案 1,利用 RBB+SC 技术的加固方案将下拉 NMOS 管和访问 NMOS 管中 TID 导致的泄漏电流都降低到不加固情况下的 $1/2 \sim 1/50$,存储单元中 TID 导致的泄漏电流为 $0.02 I_{\text{Leak-TID0}} - 0.50 I_{\text{Leak-TID0}}^{[10]}$,这个加固方案的面积代价最小,单元版图面积仅增加 9.85%,L. Clark 加固

方案 2,对下拉 NMOS 管和访问 NMOS 管利用 Annular 版图技术加固,存储单元中 TID 导致的泄漏电流难以测量,接近于 0^[7],这个加固方案面积代价最高,单元版图面积增加 245.2%.L. Clark 加固方案 3,对下拉 NMOS 管利用 Annular 版图技术加固,访问 NMOS 管不加固,存储单元中 TID 导致的泄漏电流主要为访问 NMOS 管的泄漏电流,大小为 $< 0.01 I_{\text{Leak-TID0}}^{[8-9]}$,单元版图面积增加 111.2%.

新设计加固方案 1 访问 NMOS 管采用 single-sided ring 结构,下拉 NMOS 管采用 two-sided ring 结构对 TID 加固,这二种版图技术都属于环形栅版图技术,将存储单元中 TID 导致的泄漏电流降低到接近于 0,抗 TID 性能最为理想,单元面积增加 107.9%.新设计加固方案 2 访问 NMOS 管采用 two-edge 管,下拉 NMOS 管采用 two-sided ring 结构对 TID 加固,下拉管 TID 导致的泄漏电流接近 0,访问管 TID 导致的泄漏电流为 $< 0.01 I_{\text{Leak-TID0}}^{[8-9]}$,单元版图面积增加 87.55%.新设计加固方案 3 访问 NMOS 管采用 two-edge 管,下拉 NMOS 管采用 Horseshoe FET 管对 TID 加固,下拉管 TID 导致的泄漏电流 $0.214 I_{\text{Leak-TID0}}$,访问管 TID 导致的泄漏电流为 $< 0.01 I_{\text{Leak-TID0}}^{[8-9]}$,存储单元 TID 导致的最大泄漏电流 $0.214 I_{\text{Leak-TID0}}$,单元版图面积增加 87.53%.新设计加固方案 4 访问 NMOS 管采用 two-edge 管,下拉 NMOS 管采用 Dog Bone FET 管对 TID 加固,下拉管 TID 导致的泄漏电流 $0.120 I_{\text{Leak-TID0}}$,访问管 TID 导致的泄漏电流为 $< 0.01 I_{\text{Leak-TID0}}^{[8-9]}$,存储单元 TID 导致的最大泄漏电流 $0.120 I_{\text{Leak-TID0}}$,单元版图面积增加 87.55%.

上面 7 种加固方案中 SEL 加固采用相同的加固方式,通过增加 Guard ring 进行隔离,其抗 SEL 性能相同.不加固的 6T SRAM 和 7 种加固方案的 TID 性能,以及单元版图面积代价等数据如表 1 所述.

4 结束语

本文研究了存储单元的 SEL 和 TID 效应的原理,讨论了对 SEL 和 TID 进行电路加固的技术.通过对新设计的 4 种加固方案以及 Lawrence T. Clark 总结的三种加固方案对比分析可知,采用电路加固技术对 6T SRAM 单元进行抗 TID/SEL 加固通常会导致较大的面积代价,普遍会使存储单元版图面积增加 87.5%以上.在对抗 TID 导致的泄漏电流要求不是很高的应用中,采用 L. Clark 提出的

加固方案,利用 RBB+SC 技术和 Guard ring 来进行抗 TID/SEL 加固,仅需要 9.85%的面积代价.而在对抗 TID/SEL 性能要求较高的应用中,可以采用新设计的方案一,利用 single-sided ring 和 two-sided ring 版图技术对存储单元进行加固,可以实现

较理想的抗 TID 性能,同时面积代价仅为 107.9%.与传统的采用 Annular 版图技术加固的方案相比,面积代价降低了 173.3%.新设计的方案在加固性能和面积二方面得到较好的折中,大幅提高了存储器的存储密度.

表 1 几种加固方案的性能与面积代价对比

加固方案	TID 导致泄漏电流	抗 SEL 性能	单元版图尺寸/ μm^2	面积代价
6T SRAM	$I_{\text{Leak-TID0}}$	无	$2.30 * 3.095$	0
L. Clark Design1	$0.02 * I_{\text{Leak-TID0}} - 0.50 * I_{\text{Leak-TID0}}$	好	$2.30 * 3.40$	9.85%
L. Clark Design2	≈ 0	好	$3.64 * 6.75$	245.2%
L. Clark Design3	$<< 0.01 * I_{\text{Leak-TID0}}$	好	$2.59 * 5.805$	111.2%
New Design 1	≈ 0	好	$2.59 * 5.715$	107.9%
New Design2	$<< 0.01 * I_{\text{Leak-TID0}}$	好	$2.59 * 5.155$	87.55%
New Design3	$0.214 * I_{\text{Leak-TID0}}$	好	$2.55 * 5.235$	87.53%
New Design4	$0.120 * I_{\text{Leak-TID0}}$	好	$2.59 * 5.155$	87.55%

参考文献:

[1] Lunardini D, Narasimham B, Ramachandran V, et al. A performance comparison between hardened - by-design and conventional design standard cells[C]//RA-DECS 2004 Workshop. Madrid, Spain, 2004.

[2] Philip E Allen, Douglas R Holberg. CMOS 模拟集成电路设计[M]. 2 版. 冯军, 李智群, 译. 北京:电子工业出版社, 2008:40.

[3] Oldham T R, McLean F B. Total ionizing dose effects in MOS oxides and devices[J]. IEEE Transactions on Nuclear Science, 2003, 50(3):483-499.

[4] Marlon Barbero. Radiation damage effect[R]. University of Bonn, Lecture Advanced Electronics & Signal Processing, 2011.

[5] Lawrence T Clark. Radiation effects in SRAM design for mitigation[D]. USA:Department of Electrical Engineering Tempe, 2008.

[6] Corbin Leigh Champion. Modeling of FETs with abnormal gate geometries for radiation Hardening[D]. Washington State University, School of Electrical Engineering and Computer Science, 2004.

[7] Chen Jianjun, Chen Shuming, Liang bin, et al. Suppressing the hot carrier injection degradation rate in total ionizing dose e ect hardened nMOSFETs[J]. Chin. Phys. B, 2011, 20(11):114-220.

[8] 王丹, 岳素格, 孙永妹. 深亚微米抗辐射加固设计的 SPICE 仿真验证方法[J]. 微电子学与计算机, 2010, 27(6):80-84.

[9] Clark L, Mohr K, Holbert K, et al. Optimizing radiation hard by design SRAM cells[J]. IEEE Transactions on Nuclear Science, 2007, 54(6):2028-2036.

[10] Mohr K, Clark L, Holbert K. A 130-nm RHBD SRAM with high speed SET and area efficient TID mitigation[J]. IEEE Transactions on Nuclear Science, 2007, 54(6):2092-2099.

作者简介:

王 文 男, (1985-), 博士研究生. 研究方向为模拟集成电路设计、抗辐射存储器.

桑红石 女, (1970-), 副教授. 研究方向为数字图像处理算法、ASIC 设计、并行处理器体系结构研究和抗辐射加固技术等.